

引用格式:阮华杰,葛梦柯,陈松. 基于拉格朗日松弛的多容错专用片上网络拓扑生成[J]. 微电子学与计算机,2021,38(1):12-16. [RUAN H J, GE M K, CHEN S. Lagrangian relaxation based Multi-fault-tolerant topology generation for application-specific Network-on-chips [J]. Microelectronics & Computer, 2021, 38(1): 12-16.]

基于拉格朗日松弛的多容错专用片上网络拓扑生成

阮华杰,葛梦柯,陈 松
(中国科学技术大学,安徽 合肥 230026)

摘 要: 随着半导体技术的进步,专用片上网络(ASNoC)成为解决纳米级片上系统通信问题的有效方案. 本文提出了一种基于拉格朗日松弛的 ASNoC 容错拓扑生成方法,可实现大规模 ASNoC 用户自定义 K 容错拓扑生成. 该 ASNoC 的容错拓扑生成方法不仅考虑片上网络中可能发生的链路或路由器故障,而且对于用户定义的容错数量 K,可以容忍路由器或链路中存在至少 K 个错误. 该方法同时求解 IP 核映射问题和路由路径分配问题,在满足约束条件下最大程度地降低功耗. 实验结果表明,提出的方法显著降低了功耗、物理链路、跳数和运行时间. 同时它在可接受的运行时间下实现了大规模 ASNoC 的容错拓扑生成.

关键词: 片上网络;专用片上网络;容错;拉格朗日松弛

中图分类号: TN492 **文献标识码:** A **文章编号:** 1000—7180(2021)01—0012—05

Lagrangian relaxation based Multi-fault-tolerant topology generation for application-specific Network-on-Chips

RUAN Hua-jie, GE Meng-ke, CHEN Song

(University of Science and Technology of China, Hefei 230026, China)

Abstract: With the development of semiconductor technology, application specific network-on-chip (ASNoC) has become an effective solution to the communication problems of nanoscale system-on-chips. This paper presents an ASNoC fault-tolerant topology generation method based on Lagrangian relaxation, which can realize large-scale user-defined K-fault-tolerant topology generation of ASNoC. The fault-tolerant topology generation method of ASNoC not only considers the possible link or router failures in the on-chip network, but also tolerates at least K errors in the router or link for the user-defined fault-tolerant number K. The IP core mapping problem and routing path allocation problem are solved simultaneously, and the power consumption is reduced to the maximum extent under the constraint conditions. The experimental results show that the proposed method significantly reduces power consumption, physical links, hops and running time. Meanwhile, it achieves a large-scale ASNoC fault-tolerant topology with acceptable runtime.

Key words: Network-on-Chip; application specific network-on-chip; fault tolerance; lagrangian relaxation

1 引言

随着半导体技术的进步,越来越多的 IP 核集成到单个芯片中,使得芯片内的互连通信成为巨大的

挑战^[1]. 片上网络(NoC)具有高可扩展性、并行性等优点,是解决未来片上系统设计内部通信问题的有效方案. 特定应用定制的 ASNoC 相比较于通用片上网络,在功耗、面积和性能等方面具有很好的优

势. 基于 MOSFET 的电路中的辐射、电磁干扰、静电放电、老化等的影响, 异构系统要保证长期的产品可靠性是极为困难的^[2]. 为了维持网络连通性和正确的数据包交换操作, 我们必须考虑 ASNoC 中网络组件的容错问题. 文献[1,3]对 ASNoC 拓朴生成进行了深入研究.

本文提出了一种基于拉格朗日松弛的兼顾路由器故障和物理链路故障的 ASNoC 容错拓朴生成方法, 可实现大规模 ASNoC 用户自定义 K 容错拓朴生成.

2 问题定义

定义 1: 核间通信图 $G_C(V_C, E_C)$ 是有向图, 其中每个节点 $c_i \in V_C$ 表示一个 IP 核, 每条有向边 $(c_i, c_j) \in E_C$ 表示核 c_i 到核 c_j 的通信流, w_{ij} 是边 (c_i, c_j) 的权重, 表示这条通信流的通信量.

定义 2: 拓朴生成图 $G_T(V_T, E_T)$ 是有向图, V_S 表示路由器集合, $V_T = V_S \cup V_C$. 边集包括 $V_S \times V_C$, $V_C \times V_S$ 及 $V_S \times V_S$, 分别代表路由器到 IP 核、IP 核到路由器及路由器之间所有可能存在的物理链路.

在拓朴生成过程中, 我们需要在 G_T 上为每个通信流生成 $K+1$ 条节点不相交的路径 (起点和终点除外). 我们将 G_T 路由由节点 sw 拆分为两个节点 sw 和 sw' , 分别对应于 sw 的输入和输出, 并添加零成本有向边 (sw, sw') , 从而将问题转化为边不相交的问题. 构造新的有向图 G_{ST} 如下:

定义 3: 拓朴生成分割图: $G_{ST} = (V_{ST}, E_{ST})$ 是有向图. 节点集合 $V_{ST} = V_C \cup V_S \cup V'_S$, V'_S 表示 V_S 的分割节点集合. 边集 $E_{ST} = V'_S \times V_C \cup V_C \times V_S \cup E_{sp} \cup V'_S \times V_S$, $E_{sp} = \{(sw, sw') \mid sw \in V_S\}$

可容错 ASNoC 拓朴生成问题模型如下:

输入: 核间通信图 G_C , 路由器初始数目 (SN)、路由器在芯片上的具体位置 (SP), IP 核在芯片上的具体位置 (CP), 容错数目 K . 路由器初始数目、路由器及 IP 核在芯片上的具体位置采用文献^[2]中方法得到.

约束:

1. 路由器端口约束: 路由器最大端口数目;
2. 带宽约束: 物理链路中带宽上限;
3. 跳数约束: 每条通信流的每个容错路径通过的最大路由器的个数;
4. 路径不相交约束: 每条通信流的 $K+1$ 条容错路径之间互不相交.

输出: K 容错 ASNoC 拓朴结构.

目标函数: 最小化片上网络带来的功耗.

以下是部分变量的定义:

(1) $x_{u,v}^{k,m}; x_{u,v}^{k,m}$ 表示求解的第 m 条流的第 k 条容错路径是否经过 G_{ST} 中边 (u, v) , 若经过则 $x_{u,v}^{k,m} = 1$, 反之 $x_{u,v}^{k,m} = 0$.

(2) $c_{u,v}^m, c_{u,v}^m$ 表示第 m 条流如果经过边 (u, v) 所增加的功耗. 本文采用传统的电互连线功耗评估模型^[4] 评估物理链路功耗, ORION3.0^[5] 评估路由器功耗. 物理链路功耗 P_L , 路由器功耗 P_S 及 $c_{u,v}^m$ 表达式如下:

$$P_L = \text{WirePower} * D_{u,v} * f_m \quad (1)$$

$$P_S = \text{Inp}[\text{In}_{s_u}] + \text{Outp} * \text{Out}_{s_u} \quad (2)$$

$$c_{u,v}^m = \begin{cases} P_L(m) + \text{Inp}[\text{In}_{s_v}^m + 1] - \text{Inp}[\text{In}_{s_v}^m], & (u, v) \in V_C \times V_S \\ P_L(m) + \text{Outp}, & (u, v) \in V'_S \times V_C \\ P_L(m) + \text{Inp}[\text{In}_{s_v}^m + 1] - \text{Inp}[\text{In}_{s_v}^m] + \text{Outp}, & (u, v) \in V'_S \times V_S \\ 0, & (u, v) \in E_{SP} \end{cases} \quad (3)$$

式中, WirePower 是定值, 表示 1 bit 数据传输单位距离所消耗的能量, $D_{u,v}$ 表示 u, v 之间距离, f_m 表示第 m 条流的通信量. Inp 是一个功耗与入端口数一一对应的功耗查找表, $\text{In}_{s_u}, \text{Out}_{s_u}$ 分别表示路由器 s_u 的入和出端口数, Out_p 是常量, 表示单个出端口消耗的能量. $c_{u,v}^m$ 由物理链路功耗和路由器功耗组成, 其中 $P_L(m)$ 为第 m 条流经过边 (u, v) 增加的物理链路功耗, $\text{In}_{s_v}^m$ 表示第 m 条流分配前路由器 s_v 已使用的入端口数.

3 基于拉格朗日松弛的启发式方法

为了实现大规模 ASNoC 的 K 容错拓朴生成, 我们提出了一种基于拉格朗日松弛的启发式方法, 该方法同时求解 IP 核映射和路径分配两部分以降低功耗. 图 1 是该启发式方法的流程图. 所有通信流一起解决会大大增加算法的复杂性, 因此我们逐条通信流求解通信路径.

3.1 预处理过程

在每条通信流的求解过程中, 我们通过预处理将其转化为新的问题, 预处理过程有两个作用: 一个是 IP 核映射结果在每条通信流求解完成后的存储以及求解开始前通过检测该通信流的 IP 核是否已映射到路由器上, 如已映射则使用该结果, 否则需要考虑此 IP 核到路由器的映射; 另一个是路由器端口和带宽约束的处理. 在求解前, 检测每个路由节点,

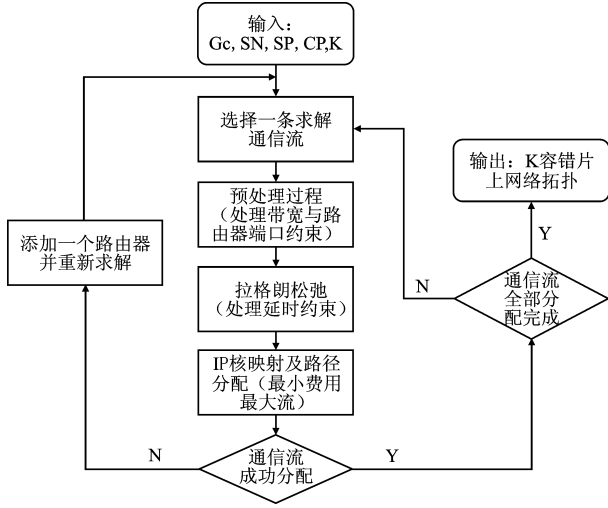


图1 基于拉格朗日松弛的启发式方法流程图

如果节点的端口数达到端口上限,则该节点不再添加新的物理链路;对于带宽约束,将每条链路剩余带宽与要分配通信流的通信量进行比较,如果物理链路的剩余带宽小于通信流的通信量,则求解通信流不经过这条物理链路,即隐藏此链路。

3.2 基于拉格朗日松弛的方法

预处理用于处理带宽和路由器端口约束,通过流网络特性来处理路径不相交约束,而跳数约束无法通过上述方式解决。拉格朗日松弛方法通过引入拉格朗日乘子将较难处理的约束松弛到目标函数中,然后对拉格朗日乘子更新得到满足约束条件的优解^[6]。基于此我们引入拉格朗日乘子将跳数约束松弛到目标函数中。单条通信流的目标函数和跳数约束的数学表达式如下:

$$\text{Minimize} \sum_{k=0}^K \sum_{(u,v) \in E_{ST}} c_{u,v}^m * x_{u,v}^{k,m} \quad (4)$$

$$\sum_{(u,v) \in E_{SP}} x_{u,v}^{k,m} \leq T_{MAX}, \forall k \in [0, K] \quad (5)$$

首先我们引入拉格朗日乘子 $\mu_0, \dots, \mu_K$ 将约束公式(5)松弛到目标函数公式(4)中。经过预处理及拉格朗日松弛后得到的目标函数为公式(6)。我们用 P_{0min} 表示预处理后的问题, P_{1min} 表示公式(6)。

$$\text{Min} \sum_{k=0}^K \sum_{(u,v) \in E_{ST}} c_{u,v}^m * x_{u,v}^{k,m} + \sum_{k=0}^K \sum_{(u,v) \in E_{SP}} \mu_k * (x_{u,v}^{k,m} - T_{MAX}) \quad (6)$$

经过预处理及拉格朗日松弛后得到的 P_{1min} 仍是多流问题,为求解 P_{0min} ,我们采用启发式方法对 P_{1min} 目标函数及拉格朗日乘子进行改动,令拉格朗

日乘子 $\mu = \sum_{k=0}^K \mu_k$,我们将问题的目标函数转化为公式(7),我们用 P_{2min} 表示公式(7)。

$$\text{Min} \sum_{k=0}^K \sum_{(u,v) \in E_{ST}} c_{u,v}^m * x_{u,v}^{k,m} + \sum_{k=0}^K \sum_{(u,v) \in E_{SP}} \mu_k * (x_{u,v}^{k,m} - T_{MAX}) \quad (7)$$

Geoffrion^[7]定义了最小化问题的松弛问题:

定义4:问题 (RP_{min}) : $\min\{g(x) | x \in W\}$ 是问题 (P_{min}) : $\min\{f(x) | x \in V\}$ 的松弛问题,当且仅当: RP_{min} 的可行解集包含 P_{min} 的可行解集,即 $V \subseteq W$;在 P_{min} 可行解集上, RP_{min} 的目标函数始终优于 P_{min} 的目标函数,即 $\forall x \in V, g(x) \leq f(x)$ 。

首先 P_{2min} 中 $x_{u,v}^{k,m}$ 的取值范围比 P_{0min} 中取值范围大,满足条件1。其次拉格朗日更新过程中, $\mu_k \geq 0$,所以对于 P_{0min} 任意可行解,都有 $P_{2min} \leq P_{0min}$,满足条件2。所以 P_{2min} 是 P_{0min} 的松弛问题。

P_{2min} 拉格朗日乘子问题,相当于以下两个子问题:(1)对于给定的拉格朗日乘子 $\mu_0, \dots, \mu_K, \mu = \sum_{k=0}^K \mu_k$ 是常数,得到的问题是最小费用最大流问题。(2)通过更新拉格朗日乘子 μ 使结果收敛于期望解。我们使用次梯度法更新拉格朗日乘子^[6]。 P_{2min} 中 $\mu = \sum_{k=0}^K \mu_k$ 。所以分别对 $\mu_0, \dots, \mu_K$ 进行更新,更新过程如下:

$$\mu_k^{p+1} = \mu_k^p + \theta_p \left(\sum_{(u,v) \in E_{SP}} x_{u,v}^{k,m} - T_{MAX} \right), \quad \forall k \in [0, K] \quad (8)$$

$$\theta_p = \frac{[UB - L(\mu^p_0, \dots, \mu^p_K)]}{\sum_{k=0}^K \left(\sum_{(u,v) \in E_{SP}} x_{u,v}^{k,m} - T_{MAX} \right)^2} \quad (9)$$

式中, UB 表示拉格朗日乘子问题目标函数值上界,这里我们用 P_{0min} 的可行解对应的目标函数值表示。 $L(\mu_0, \dots, \mu_K)$ 表示第 p 次迭代的目标函数值,是缩放因子。式(8)中若更新后 μ_k^{p+1} 小于0,则将 μ_k^{p+1} 设置为0。

算法1 基于拉格朗日松弛的算法

- 1: 设置拉格朗日乘子 $\{\mu_i\} (i \in [0, K])$ 初始值为0,设置 UB 初始值,设置迭代次数的上限;
- 2: 构建最小费用最大流网络结构图;
- 3: while 没有达到迭代上限 do
- 4: 使用最小费用最大流算法求解拉格朗日乘子问题;
- 5: if 第一次迭代的结果满足跳数约束 then
- 6: 保留该结果;
- 7: Return;
- 8: end if;

```

9:   if 实验结果满足延迟约束 then
10:     更新 UB;
11:     保存实验结果;
12:   end if;
13:   使用次梯度方法更新拉格朗日乘子;
14: end while

```

算法1是基于拉格朗日松弛K容错ASNoC拓扑生成算法流程. 我们可以通过启发式方法得到拉格朗日乘子问题的次优解. 首先我们设置拉格朗日乘子及UB的初始值,并对松弛的迭代次数设置上限. 随后构建用于求解的最小费用最大流网络结构图. 第3~14步为迭代过程,循环结束后,保留原代价最小的可行解. 若循环结束仍未得到可行解,说明硬件资源不足,则添加路由器重新开始求解.

图2中给出了一个3路由器的流网络结构图. 为求解最小费用最大流问题,我们在流网络结构图中分别设定边的容量及代价. 以图2为例,假设容错数为K,边的容量与代价设置如下:

$S \rightarrow C_1 | C_2 \rightarrow T$: $\text{Cap} = K + 1$,表示流网络中最大流数为K+1,即共K+1条容错路径, $\text{Cost} = 0$.

$S_i \rightarrow S'_i, i \in [0, 2]$: $\text{Cap} = 1$,保证K+1条容错路径边不相交, $\text{Cost} = \sum_{k=0}^K \mu_k$,跳数用经过的路由器数目表示,所以将乘子附到路由边上.

$C_1 \rightarrow S_i | S'_i \rightarrow C_2 | S'_i \rightarrow S_j, i \in [0, 2], j \in [0, 2], i \neq j$: $\text{Cap} = 1$, $\text{Cost} = c_{u,v}^m, c_{u,v}^m$ 由公式(3)求出.

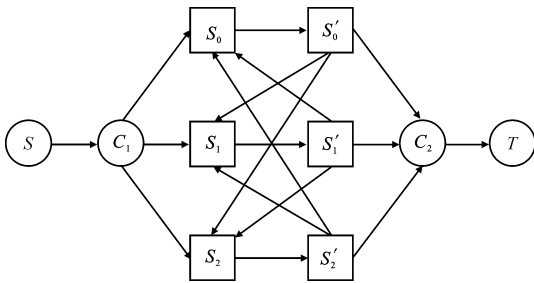


图2 单条通信流的最小费用最大流网络结构图

最后在该通信流处理完成后,需要更新每个路由器的端口使用情况以及每个链路的剩余带宽. 重复以上步骤,直至所有通信流求解完毕. 即可生成K容错ASNoC拓扑.

4 实验结果

本文提出的方法已采用C++语言实现,并在Linux工作站(Intel 2.0 GHz, 62 GB RAM)上进行

了测试. 测试用例名中的数字表示IP核数目. 本文采用LEDA实现最小费用最大流算法求解.

表1显示了基于拉格朗日松弛方法与文献[1]中方法的比较. 我们从文献[1]中选择四个测试用例,约束设置如下:路由器最大端口数为10,带宽约束为3 000 Mb/s,延迟约束为3,约束与文献[1]相同. 表中K, Bench, SwitchNum, LinkNum, Power和Time分别表示容错数,测试用例名,路由器的数量,链路数,功耗及程序运行时间. IP核映射和路径分配是同时求解的,增加了可搜索解空间,从而减少了物理链接数和功耗,结果表明,当K=1,2,3时,路由器数量分别减少18.7%,17.2%和17.2%,路由器之间的物理链路数量分别减少28.0%,27.4%和27.0%,功耗分别降低了12.8%,12.0%和11.0%. 运行时间减少了99.42%,99.90%和99.97%.

表2显示了大规模片上网络中非容错拓扑与K=1, K=2和K=3的容错拓扑的实验结果. 约束设置如下,路由器最大端口数设置为15,带宽约束设置为3 000 Mb/s,延迟约束设置为4. 测试文件由TGFF^[8]生成. 表中,FlowNum表示测试用例包含的通信流数目, Average hop表示所有通信流的所有路径的平均跳数(用通过的路由器数目表示). 当K从1增加到3时,对于所有用例,功耗的增加与K近似成线性关系. 程序的运行时间是可接受的.

5 结束语

在本文中,我们提出了基于拉格朗日松弛的大规模ASNoC的K容错拓扑生成方法. 与现有工作相比,该方法可以减少功耗、物理链路的数量和路由器的数量,大大减少了程序的运行时间.

参考文献:

- [1] CHEN S, GE M K, LI Z G, et al. Generalized fault-tolerance topology generation for application-specific network-on-chips[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2020, 39 (6): 1191-1204. DOI: 10.1109/TCAD.2019.2952134.
- [2] ZHONG W, YU B, CHEN S, et al. Application-specific network-on-chip synthesis: cluster generation and network component insertion[C]//Proceedings of 2011 12th International Symposium on Quality Electronic Design. Santa Clara, CA, USA: IEEE, 2011: 1-6. DOI: 10.1109/ISQED.2011.5770718.

表 1 拉格朗日松弛算法与文献[1]实验结果对比

K	Bench	SwitchNum			LinkNum			Power/mw			Times/s		
		文献[1]	ours	Dec/%	文献[1]	ours	Dec/%	文献[1]	ours	Dec/%	文献[1]	ours	Dec/%
1	D_36	10	9	10	23	18	21.7	516.979	453.3	12.3	2.908	0.016	99.45
	D_43	13	10	23.1	32	21	34.4	622.819	552.903	11.2	5.102	0.027	99.47
	D_50	14	12	14.3	34	16	52.9	692.739	601.113	13.2	8.066	0.031	99.61
	D_70	22	16	27.3	71	69	2.8	1 128.925	967.862	14.3	34.634	0.297	99.14
	average	—	—	18.7	—	—	28.0	—	—	12.8	—	—	99.42
2	D_36	15	11	26.7	39	31	20.6	810.358	722.335	10.9	19.632	0.026	99.87
	D_43	19	15	21.1	49	32	34.7	932.885	864.563	7.3	36.554	0.040	99.89
	D_50	21	16	23.8	59	31	47.5	1 099.778	949.831	13.6	68.142	0.034	99.95
	D_70	36	37	−2.8	117	109	6.8	1 686.243	1 413.246	16.2	674.76	0.600	99.91
	average	—	—	17.2	—	—	27.4	—	—	12.0	—	—	99.90
3	D_36	19	16	15.8	48	36	25	1 068.731	943.367	11.7	51.054	0.036	99.93
	D_43	26	20	23.1	69	44	36.2	1 252.793	1 151.474	8.1	162.6	0.057	99.96
	D_50	30	21	30	78	49	37.2	1 414.2	1 281.514	9.4	465.5	0.069	99.99
	D_70	47	47	0	157	142	9.6	2 240.32	1 911.93	14.7	5 565.6	0.637	99.99
	average	—	—	17.2	—	—	27	—	—	11.0	—	—	99.97

表 2 大规模片上网络(100 节点以上)实验结果

Bench	FlowNum	K	SwitchNum	Average hop	LinkNum	Power/mw	Time/s
D_150	270	0	20	1.58	160	1131.9	1.34
	—	1	37	1.58	337	2301.8	5.7
	—	2	46	1.58	444	3 735.5	10.6
	—	3	49	1.54	512	5 303.7	13.9
D_260	472	0	55	1.57	269	1 823.8	9.73
	—	1	52	1.60	562	4 537.1	37.578
	—	2	79	1.50	704	6 882.7	87.564
	—	3	91	1.48	897	9 581.1	123.032
D_500	900	0	91	1.58	532	4 175.8	138.9
	—	1	109	1.44	803	9 100.6	302.7
	—	2	259	1.45	1 227	12 357.9	1 855.11
	—	3	365	1.42	1 511	16 670.6	3 260.67

[3] HUANG J L, ZHONG W, LI Z G, et al. Lagrangian relaxation-based routing path allocation for application-specific network-on-chips[J]. Integration, 2018(61): 20-28. DOI:10.1016/j.vlsi.2017.10.011.

[4] ZHANG L, CHEN H Y, YAO B, et al. Repeated on-chip interconnect analysis and evaluation of delay, power, and bandwidth metrics under different design goals[C]//Proceedings of the 8th International Symposium on Quality Electronic Design. San Jose, CA, USA: IEEE, 2007:251-256. DOI: 10.1109/ISQED.2007.139.

[5] KAHNG A B, LIN B, NATH S. ORION3.0: a comprehensive NoC router estimation tool[J]. IEEE Embedded Systems Letters, 2015, 7(2): 41-45. DOI: 10.1109/LES.2015.2402197.

(下转第 21 页)

实测结果,在 33~37 GHz 工作带宽内,具有 31 的小信号增益,增益波动±1 dB;饱和输出功率大于 31.2 dBm;带内 PAE 大于 21.7%,最大 PAE 达到 23.5%。芯片面积 4.3×2.3 mm²。本功率放大器具有良好的性能与应用前景。

参考文献:

[1] HOSSEINZADEH N, MEDI A. Wideband 5 W Ka-band GaAs power amplifier[J]. IEEE Microwave and Wireless Components Letters, 2016, 26(8): 622-624. DOI: 10.1109/LMWC.2016.2587834.

[2] TSAI J H, CHENG Y C, HUNG C C, et al. A 37-40 GHz power amplifier for 5G phased array applications using 0.1-μm GaAs pHEMT process[C]//2017 IEEE 7th International Conference on Consumer Electronics-Berlin (ICCE-Berlin). Berlin: IEEE, 2017: 85-87. DOI: 10.1109/ICCE-Berlin.2017.8210597.

[3] LV G S, CHEN W H, FENG Z H. A compact and broadband Ka-band asymmetrical GaAs Doherty power amplifier MMIC for 5G communications [C]//2018 IEEE/MTT-S International Microwave Symposium-IMS, Philadelphia, PA: IEEE, 2018: 808-811. DOI: 10.1109/MWSYM.2018.8439219.

[4] WANG K S, YAN Y P, LIANG X X. A K-band power amplifier in a 0.15-um GaAs pHEMT process [C]//2018 IEEE MTT-S International Wireless Symposium (IWS). Chengdu: IEEE, 2018: 1-3. DOI: 10.1109/IEEE-IWS.2018.8400956.

[5] NIKANDISH G, MEDI A. A design procedure for high-efficiency and compact-Size 5-10-W MMIC power amplifiers in GaAs pHEMT technology[J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(8): 2922-2933. DOI: 10.1109/TMTT.2013.2271997.

[6] 马明月, 万晶, 王魁松, 等. 基于 GaAs PHEMT 的 Ka 波段功率放大器设计[J]. 南开大学学报(自然科学版), 2019, 52(6): 19-22.

MA M Y, WAN J, WANG K S, et al. Ka band power amplifier based on GaAs PHEMT[J]. Acta Scientiarum Naturalium Universitatis Nankaiensis, 2019, 52(6): 19-22.

[7] LEE H D, PARK J, KONG S, et al. A 1-W Ka-band power amplifier using 0.15-μm InGaAs/GaAs E-mode pHEMT technology[J]. Microwave and Optical Technology Letters, 2019, 61(7): 1706-1711. DOI: 10.1002/mop.31828.

[8] 杜鹏博, 张务永, 孙希国, 等. Ka 波段高效率 GaAs 功率放大器 MMIC[J]. 半导体技术, 2013, 38(2): 97-100.

DU P B, ZHANG W Y, SUN X G, et al. Ka-band high efficiency GaAs power amplifier MMIC[J]. Semiconductor Technology, 2013, 38(2): 97-100. DOI: 10.3969/j.issn.1003-353x.2013.02.004.

作者简介:

李海华 男,(1995-),硕士研究生.研究方向为微波/毫米波集成电路设计.

王魁松 男,(1989-),硕士,助理研究员.研究方向为微波/毫米波集成电路设计.

赵市翔 男,(1995-),硕士研究生.研究方向为微波/毫米波集成电路设计.

梁晓新(通讯作者) 女,(1978-),博士,研究员.研究方向为微波毫米波集成电路设计.

E-mail:liangxiaoxin@ime.ac.cn.

阎跃鹏 男,(1963-),博士,“百人计划”研究员.研究方向为低功耗物联网传输芯片、无线感知、微波 MMIC&RF 芯片、北斗导航、陀螺与姿态以及多类传感器芯片与微系统.

(上接第 16 页)

[6] AHUJA R K, MAGNANTI T L, ORLINJ B. Network flows: theory, algorithms, and applications [M]. Englewood Cliffs, N. J.: Prentice Hall, 1993: 791-796.

[7] GUIGNARD M. Lagrangeanrelaxation [J]. Top, 2003, 11(2): 151-200. DOI:10.1007/BF02579036.

[8] DICK R P, RHODES D L, WOLF W. TGFF: task graphs for free[C]//Proceedings of the Sixth International Workshop on Hardware/Software Codesign. Seattle, WA, USA, USA: IEEE, 1998. DOI: 10.

1109/HSC.1998.666245.

作者简介:

阮华杰 男,(1995-),硕士研究生.研究方向为 VLSI 计算机辅助设计. E-mail: rhj9589@mail.ustc.edu.cn.

葛梦柯 男,(1992-),博士研究生.研究方向为 VLSI 计算机辅助设计.

陈松 男,(1979-),博士,副教授.研究方向为高效计算、VLSI 计算机辅助设计.